

70592-05
2003/09/01

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 Date of Application: 2002年10月30日

出願番号 Application Number: 特願2002-316448

[ST. 10/C]: [JP2002-316448]

出願人 Applicant(s): 株式会社デンソー

2003年9月12日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫

出証番号 出証特2003-3075345

【書類名】 特許願

【整理番号】 PSN497

【提出日】 平成14年10月30日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 29/78

【発明者】

【住所又は居所】 愛知県刈谷市昭和町1丁目1番地 株式会社デンソー内

【氏名】 福田 豊

【発明者】

【住所又は居所】 愛知県刈谷市昭和町1丁目1番地 株式会社デンソー内

【氏名】 安部 博文

【発明者】

【住所又は居所】 愛知県刈谷市昭和町1丁目1番地 株式会社デンソー内

【氏名】 荒島 可典

【特許出願人】

【識別番号】 000004260

【氏名又は名称】 株式会社デンソー

【代理人】

【識別番号】 100106149

【弁理士】

【氏名又は名称】 矢作 和行

【電話番号】 052-220-1100

【手数料の表示】

【予納台帳番号】 010331

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置

【特許請求の範囲】

【請求項1】 半導体基板の主面がメッシュパターンに区切られ、当該メッシュパターンを構成する各セルは、横型MOSトランジスタのソースが形成されるソースセル、もしくはドレインが形成されるドレインセルのいずれか一方からなり、

前記半導体基板上に形成され、前記ソースセル同士およびドレインセル同士をそれぞれ電気的に接続する、上下二層の配線を有する半導体装置において、

前記メッシュパターンには、前記ソースセルとドレインセルが交互に配置され

前記下層の配線は、前記メッシュの対角方向に隣り合ったソースセル同士を接続するストライプ状のソース下層配線と、前記メッシュの対角方向に隣り合ったドレインセル同士を接続するストライプ状のドレイン下層配線とからなり、

前記上層の配線は、前記ソース下層配線と投影面で直交するように配置され、ビアホールを介してソース下層配線に接続するストライプ状のソース上層配線と、前記ドレイン下層配線と投影面で直交するように配置され、ビアホールを介してドレイン下層配線に接続するストライプ状のドレイン上層配線とからなり、

前記ソース上層配線とドレイン上層配線のストライプ幅が、各々、前記ソース下層配線とドレイン下層配線のストライプ幅より広く形成され、前記ソース上層配線とドレイン上層配線とが交互に配置されることを特徴とする半導体装置。

【請求項2】 前記ドレイン下層配線の最短幅が、前記ソース下層配線の最短幅より狭いことを特徴とする請求項1に記載の半導体装置。

【請求項3】 半導体基板の主面がメッシュパターンに区切られ、当該メッシュパターンを構成する各セルは、横型MOSトランジスタのソースが形成されるソースセル、もしくはドレインが形成されるドレインセルのいずれか一方からなり、

前記半導体基板上に形成され、前記ソースセル同士およびドレインセル同士をそれぞれ電気的に接続する、上下二層の配線を有する半導体装置において、

前記メッシュパターンには、前記ソースセルとドレインセルが交互に配置され、

前記下層の配線は、前記メッシュの対角方向に隣り合った2個のドレインセル同士を接続するドレイン下層配線と、前記ドレイン下層配線を取り囲んで、各ソースセル同士を接続するソース下層配線とからなり、

前記上層の配線は、前記ドレイン下層配線と投影面で交わるように配置され、ビアホールを介してドレイン下層配線に接続するストライプ状のドレイン上層配線と、前記ソース下層配線と投影面で交わるように配置され、ビアホールを介してソース下層配線に接続するストライプ状のソース上層配線とからなり、

前記ドレイン上層配線とソース上層配線のストライプ幅が、各々、前記ドレイン下層配線の最短幅と隣り合ったドレイン下層配線の間におけるソース下層配線の最短幅より広く形成され、前記ドレイン上層配線とソース上層配線が交互に配置されることを特徴とする半導体装置。

【請求項 4】 前記メッシュパターンの外周部に前記ソースセルが配置され、前記メッシュパターンの内部に前記ソースセルとドレインセルが交互に配置され、

前記ドレイン下層配線が、前記外周部のソースセルには隣接せず、前記メッシュの対角方向に隣り合った2個のドレインセル同士を接続する第1ドレイン下層配線と、前記外周部のソースセルに隣接するドレインセルを含んで、前記メッシュの対角方向に隣り合った2乃至4個のドレインセル同士を接続する第2ドレイン下層配線とからなることを特徴とする請求項3に記載の半導体装置。

【請求項 5】 前記ドレイン下層配線の最短幅が、前記隣り合ったドレイン下層配線の間におけるソース下層配線の最短幅より狭いことを特徴とする請求項3または4に記載の半導体装置。

【請求項 6】 半導体基板の主面がメッシュパターンに区切られ、当該メッシュパターンを構成する各セルは、横型MOSトランジスタのソースが形成されるソースセル、もしくはドレインが形成されるドレインセルのいずれか一方からなり、

前記半導体基板上に形成され、前記ソースセル同士およびドレインセル同士を

それぞれ電気的に接続する、上下二層の配線を有する半導体装置において、
前記メッシュパターンには、前記ソースセルとドレインセルが交互に配置され

、
前記下層の配線は、前記メッシュの対角方向に隣り合った2個のソースセル同士を接続するソース下層配線と、前記ソース下層配線を取り囲んで、各ドレインセル同士を接続するドレイン下層配線とからなり、

前記上層の配線は、前記ソース下層配線と投影面で交わるように配置され、ビアホールを介してソース下層配線に接続するストライプ状のソース上層配線と、前記ドレイン下層配線と投影面で交わるように配置され、ビアホールを介してドレイン下層配線に接続するストライプ状のドレイン上層配線とからなり、

前記ソース上層配線とドレイン上層配線のストライプ幅が、各々、前記ソース下層配線の最短幅と隣り合ったソース下層配線の間におけるドレイン下層配線の最短幅より広く形成され、前記ソース上層配線とドレイン上層配線が交互に配置されることを特徴とする半導体装置。

【請求項 7】 前記メッシュパターンの外周部に前記ドレインセルが配置され、前記メッシュパターンの内部に前記ソースセルとドレインセルが交互に配置され、

前記ソース下層配線が、前記外周部のドレインセルには隣接せず、前記メッシュの対角方向に隣り合った2個のソースセル同士を接続する第1ソース下層配線と、前記外周部のドレインセルに隣接するソースセルを含んで、前記メッシュの対角方向に隣り合った2乃至4個のソースセル同士を接続する第2ソース下層配線とからなることを特徴とする請求項6に記載の半導体装置。

【請求項 8】 前記隣り合ったソース下層配線の間におけるドレイン下層配線の最短幅が、前記ソース下層配線の最短幅より狭いことを特徴とする請求項6または7に記載の半導体装置。

【請求項 9】 前記ソース上層配線およびドレイン上層配線が、各々のストライプを櫛歯として櫛形状に端部が連結され、

当該櫛形状のソース上層配線およびドレイン上層配線が、互いの櫛歯が噛み合って対向するように配置されることを特徴とする請求項1乃至8のいずれか1項

に記載の半導体装置。

【請求項10】 前記ソース上層配線とドレイン上層配線が、はんだバンプを形成するためのパッド部を有することを特徴とする請求項9に記載の半導体装置。

【請求項11】 前記上下二層の配線上に第3層の配線が形成され、当該第3層の配線は、前記ソース上層配線に接続するソース第3層配線と、前記ドレイン上層配線に接続するドレイン第3層配線とからなり、

当該ソース第3層配線とドレイン第3層配線は、各々、はんだバンプを形成するためのパッド部を有することを特徴とする請求項1乃至9のいずれか1項に記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、メッシュパターンに区切られた半導体基板の各セルに横型MOSトランジスタ（LD MOS）のソースもしくはドレインのいずれかが形成され、ソースセル同士およびドレインセル同士を電気的にそれぞれ接続する、上下二層の配線を備えた半導体装置に関するものである。

【0002】

【従来の技術】

メッシュパターンの各セルにLD MOSのソースもしくはドレインが形成され、各セルに接続する上下二層の配線を備えた半導体装置として、例えば、特開平7-263665号公報（特許文献1）が開示されている。

【0003】

図9（a）に、特許文献1の半導体装置100の平面概念図を示す。

【0004】

図9（a）において、符号SはLD MOSのソースセル、符号Dはドレインセルを示し、ソースセルSとドレインセルDがメッシュパターンに交互に配置されている。

【0005】

図9 (a) に示す半導体装置100においては、メッシュパターンに交互に配置されたソースセルSとドレインセルD上に、第1層間絶縁膜を介して、図中のハッチングで示したストライプ状の下層配線1, 2が配置されている。下層配線1, 2は、メッシュパターンの対角方向に並ぶ各ソースセルSに接続するソース下層配線1と、メッシュパターンの対角方向に並ぶ各ドレインセルDに接続するドレイン下層配線2とからなり、これらが交互に並んで配置されている。尚、図9 (a) において、下層配線1, 2と各セルのコンタクトは、図示が省略されている。

【0006】

メッシュパターンの対角方向に配置されたストライプ状の下層配線1, 2上には、第2層間絶縁膜を介して、ソース下層配線1に接続するソース上層配線3と、ドレイン下層配線2に接続するドレイン上層配線4とが配置されている。上層配線3, 4は、メッシュパターンに交互に配置されたソースセルSとドレインセルDからなる半導体装置100を、ストライプ状の下層配線1, 2の対角方向と交わる対角方向にほぼ2分割した形で、三角形状に形成されている。尚、図9 (a) において、ソース下層配線1とソース上層配線3のコンタクト、およびドレイン下層配線2とドレイン上層配線4のコンタクトは、各上層配線3, 4の直下において形成されるが、簡単化のために図示は省略されている。

【0007】

図9 (a) に示す半導体装置100を構成している、ソース領域Sとドレイン領域DからなるLDMOSは、一般的に、図9 (b) の拡大断面図に示す構造を有している。図9 (b) は、図9 (a) におけるA-A'断面に対応している。

【0008】

図9 (b) に示すLDMOS101は、n型の半導体層10を有する半導体基板上に形成されている。半導体層10の表層部には、p型のチャネル拡散領域11が形成されている。このチャネル拡散領域11は、LOCOS5の端部近傍で終端している。このチャネル拡散領域11の表層部には、LOCOS5から離間するようにn+型のソース拡散領域12が形成されている。さらに、チャネル拡散領域11の表層部には、ソース拡散領域12と接するようにp+型の拡散領域

15が形成されている。

【0009】

また、半導体層10の表層部には、LOCOS5と接するように、高濃度とされたn+型のドレイン拡散領域13が形成されている。さらに、ドレイン拡散領域13を囲みLOCOS5の下部にまで入り込んで、n型のウェル領域16が形成されている。ソース拡散領域12とドレインLOCOS5の間に挟まれたチャネル拡散領域11の表面上には、ゲート絶縁膜（図示を省略）を介して、ゲート電極14が形成されている。

【0010】

さらに、ゲート電極14を覆うように第1層間絶縁膜6が配置され、この第1層間絶縁膜6上にソース下層配線1及びドレイン下層配線2が形成されている。そして、第1層間絶縁膜6に形成されたコンタクトホールを介して、ソース下層配線1はソース拡散領域12及び拡散領域15と接続され、ドレイン下層配線2はn+型ドレイン拡散領域13と接続されている。また、図9（b）においては、第2層間絶縁膜7に形成されたコンタクトホールを介して、ドレイン上層配線4が形成されている。

【0011】

【特許文献1】特開平7-263665号公報

【0012】

【発明が解決しようとする課題】

図9（a）,（b）に示す半導体装置100は、LDMOSの各セルに接続する配線を2層化しているため、配線の占有面積を低減して、各セルを微細化することができる。

【0013】

半導体装置100の上層配線3,4は、図9（a）に示すように広い面積を有しており、配線抵抗が低減されている。また、上層配線3,4に広い面積が確保されることで、これらをはんだバンプを形成するためのパッド部とすることができます。これにより、セラミック基板やプリント基板へ搭載してCSP（チップサイズパッケージ）化し、実装エリアを低減することができる。

【0014】

一方、図9（a）において、細い下層配線1，2に着目すると、同じ下層配線1，2に接続する各セルで、配線抵抗の影響が異なる。例えば符号Bで示したソース上層配線3の直下にあるソースセルSは、直上でソース上層配線3にコントクトされるため、ソース下層配線1の配線抵抗の影響はほとんどない。これに対して、同じ下層配線1に接続するソース上層配線3の直下にない符号Cで示したソースセルSは、ソース下層配線1とソース上層配線3のコントクトから遠いため、ソース下層配線1の配線抵抗が大きく影響する。このため、半導体装置100を構成している各セルに流れる電流バランスが崩れ、例えば図9（a）の符号Bで示したソースセルSに電流が集中して、半導体装置100の全体としての耐量が減少する。

【0015】

そこで本発明の第1の目的は、ソースセルとドレインセルがメッシュ状に形成され、上下二層の配線を備える半導体装置において、各セルに流れる電流をバランスさせ、全体としての耐量が減少することのない半導体装置を提供することにある。また、本発明の第2の目的は、CSP化することのできる、前記電流バランスのとれた半導体装置を提供することにある。

【0016】

【課題を解決するための手段】

請求項1に記載の発明は、半導体基板の主面がメッシュパターンに区切られ、当該メッシュパターンを構成する各セルは、横型MOSトランジスタのソースが形成されるソースセル、もしくはドレインが形成されるドレインセルのいずれか一方からなり、前記半導体基板上に形成され、前記ソースセル同士およびドレインセル同士をそれぞれ電気的に接続する、上下二層の配線を有する半導体装置において、前記メッシュパターンには、前記ソースセルとドレインセルが交互に配置され、前記下層の配線は、前記メッシュの対角方向に隣り合ったソースセル同士を接続するストライプ状のソース下層配線と、前記メッシュの対角方向に隣り合ったドレインセル同士を接続するストライプ状のドレイン下層配線とからなり、前記上層の配線は、前記ソース下層配線と投影面で直交するように配置され、

ビアホールを介してソース下層配線に接続するストライプ状のソース上層配線と、前記ドレイン下層配線と投影面で直交するように配置され、ビアホールを介してドレイン下層配線に接続するストライプ状のドレイン上層配線とからなり、前記ソース上層配線とドレイン上層配線のストライプ幅が、各々、前記ソース下層配線とドレイン下層配線のストライプ幅より広く形成され、前記ソース上層配線とドレイン上層配線とが交互に配置されることを特徴としている。

【0017】

これによれば、メッシュパターンに交互に配置されたソースセルとドレインセルに対して、ストライプ状のソース下層配線とドレイン下層配線が交互に配置されて、メッシュの対角方向に隣り合った同じセル同士を接続する。また、下層配線より幅広に形成されたストライプ状のソース上層配線とドレイン上層配線が、下層配線と投影面で直交するように交互に配置されて、ビアホールを介して下層配線に接続する。

【0018】

このように配置された下層配線と上層配線では、投影面における下層配線と上層配線の交点が、交互に均等に出現する。従って、ここに下層配線と上層配線のビアホールを配置することにより、幅の狭い下層配線の電流経路を短くすることができ、下層配線の配線抵抗の影響を低減することができる。これによって、各セルに流れる電流をバランスさせ、全体としての耐量が減少することのない半導体装置とすることができます。

【0019】

請求項2に記載の発明は、前記ドレイン下層配線の最短幅が、前記ソース下層配線の最短幅より狭いことを特徴としている。

【0020】

ソースセルとソース下層配線のコンタクトは、一般的に、ドレインセルとドレイン下層配線のコンタクトより小さくできる。このため、ドレイン下層配線の最短幅をソース下層配線の最短幅より狭くすることで、コンタクトの大きさに合わせた滑らかな電流経路にすることができる、これによって下層配線の配線抵抗を低減することができる。

【0021】

請求項3に記載の発明は、半導体基板の主面がメッシュパターンに区切られ、当該メッシュパターンを構成する各セルは、横型MOSトランジスタのソースが形成されるソースセル、もしくはドレインが形成されるドレインセルのいずれか一方からなり、前記半導体基板上に形成され、前記ソースセル同士およびドレインセル同士をそれぞれ電気的に接続する、上下二層の配線を有する半導体装置において、前記メッシュパターンには、前記ソースセルとドレインセルが交互に配置され、前記下層の配線は、前記メッシュの対角方向に隣り合った2個のドレインセル同士を接続するドレイン下層配線と、前記ドレイン下層配線を取り囲んで、各ソースセル同士を接続するソース下層配線とからなり、前記上層の配線は、前記ドレイン下層配線と投影面で交わるように配置され、ビアホールを介してドレイン下層配線に接続するストライプ状のドレイン上層配線と、前記ソース下層配線と投影面で交わるように配置され、ビアホールを介してソース下層配線に接続するストライプ状のソース上層配線とからなり、前記ドレイン上層配線とソース上層配線のストライプ幅が、各々、前記ドレイン下層配線の最短幅と隣り合ったドレイン下層配線の間におけるソース下層配線の最短幅より広く形成され、前記ドレイン上層配線とソース上層配線が交互に配置されることを特徴としている。

【0022】

これによれば、メッシュパターンに交互に配置されたソースセルとドレインセルに対して、メッシュの対角方向に隣り合った2個のドレインセルを接続するドレイン下層配線が配置され、それを取り囲んでソース下層配線が配置される。また、下層配線の最短幅より幅広に形成されたストライプ状のドレイン上層配線とソース上層配線が、下層配線と投影面で交わるように交互に配置されて、ビアホールを介して下層配線に接続する。

【0023】

このように配置された下層配線と上層配線においても、請求項1の発明と同様にして、投影面における下層配線と上層配線の交点にビアホールを配置することにより、下層配線の配線抵抗の影響を低減することができる。また本発明では、

各ドレイン下層配線が接続しているドレインセルは対角方向の隣り合った2個に限られ、それを取り囲んでソース下層配線が形成されている。すなわち、ソース下層配線の面積割合とドレイン下層配線の面積割合を均等にせず、下層配線の面積がソース下層配線に重点的に割当て、ソースの電流を主として下層配線に担わせることができる。一方、これを補ってドレインの電流は主として上層配線に担わせることができる。このように、ドレインからソースに流れる電流を下層配線と上層配線にそれぞれ分担させることで、配線の設計自由度が増し、これによって、全体としての配線抵抗を低減することができる。

【0024】

請求項4に記載の発明は、前記メッシュパターンの外周部に前記ソースセルが配置され、前記メッシュパターンの内部に前記ソースセルとドレインセルが交互に配置され、前記ドレイン下層配線が、前記外周部のソースセルには隣接せず、前記メッシュの対角方向に隣り合った2個のドレインセル同士を接続する第1ドレイン下層配線と、前記外周部のソースセルに隣接するドレインセルを含んで、前記メッシュの対角方向に隣り合った2乃至4個のドレインセル同士を接続する第2ドレイン下層配線とからなることを特徴としている。

【0025】

これによれば、請求項3の発明と同様にして、ドレインからソースに流れる電流を下層配線と上層配線にそれぞれ分担させることで、配線の設計自由度が増し、これによって、全体としての配線抵抗を低減することができる。また、メッシュパターンの外周部に低電位で安定的に使われるソースセルを配置したことにより、本半導体装置の周囲をトレンチで絶縁しても、トレンチに沿ってドレイン-ソース間電圧による高電界が印加されることがない。従って、トレンチ端の電位を安定させ、トレンチの結晶欠陥からのリークや絶縁破壊を防止することができる。

【0026】

請求項5に記載の発明は、前記ドレイン下層配線の最短幅が、前記隣り合ったドレイン下層配線の間におけるソース下層配線の最短幅より狭いことを特徴としている。

【0027】

これによれば、請求項2に記載の発明と同様にして、コンタクトの大きさに合わせた滑らかな電流経路にすることができ、これによって下層配線の配線抵抗を低減することができる。

【0028】

請求項6に記載の発明は、半導体基板の主面がメッシュパターンに区切られ、当該メッシュパターンを構成する各セルは、横型MOSトランジスタのソースが形成されるソースセル、もしくはドレインが形成されるドレインセルのいずれか一方からなり、前記半導体基板上に形成され、前記ソースセル同士およびドレインセル同士をそれぞれ電気的に接続する、上下二層の配線を有する半導体装置において、前記メッシュパターンには、前記ソースセルとドレインセルが交互に配置され、前記下層の配線は、前記メッシュの対角方向に隣り合った2個のソースセル同士を接続するソース下層配線と、前記ソース下層配線を取り囲んで、各ドレインセル同士を接続するドレイン下層配線とからなり、前記上層の配線は、前記ソース下層配線と投影面で交わるように配置され、ビアホールを介してソース下層配線に接続するストライプ状のソース上層配線と、前記ドレイン下層配線と投影面で交わるように配置され、ビアホールを介してドレイン下層配線に接続するストライプ状のドレイン上層配線とからなり、前記ソース上層配線とドレイン上層配線のストライプ幅が、各々、前記ソース下層配線の最短幅と隣り合ったソース下層配線の間におけるドレイン下層配線の最短幅より広く形成され、前記ソース上層配線とドレイン上層配線が交互に配置されることを特徴としている。

【0029】

これによれば、請求項3の発明と同様にして、ドレインからソースに流れる電流を下層配線と上層配線にそれぞれ分担させることで、配線の設計自由度が増し、これによって全体としての配線抵抗を低減することができる。

【0030】

請求項7に記載の発明は、前記メッシュパターンの外周部に前記ドレインセルが配置され、前記メッシュパターンの内部に前記ソースセルとドレインセルが交互に配置され、前記ソース下層配線が、前記外周部のドレインセルには隣接せず

、前記メッシュの対角方向に隣り合った2個のソースセル同士を接続する第1ソース下層配線と、前記外周部のドレンセルに隣接するソースセルを含んで、前記メッシュの対角方向に隣り合った2乃至4個のソースセル同士を接続する第2ソース下層配線とからなることを特徴としている。

【0031】

これによれば、外周部にドレンセルを配置したことにより、請求項4の発明と同様に、周囲をトレンチで絶縁してもトレンチに沿ってドレン-ソース間電圧による高電界が印加されることがない。また、外周部にドレンセルを配置した場合には、断面構造において、リーク要因となるトレンチによるP N接合の切断部が生じない。従って、トレンチでのリークや絶縁破壊を防止することができる。

【0032】

請求項8に記載の発明は、前記隣り合ったソース下層配線の間におけるドレン下層配線の最短幅が、前記ソース下層配線の最短幅より狭いことを特徴としている。

【0033】

これによれば、請求項2に記載の発明と同様にして、コンタクトの大きさに合わせた滑らかな電流経路にすることができ、これによって下層配線の配線抵抗を低減することができる。

【0034】

請求項9に記載の発明は、前記ソース上層配線およびドレン上層配線が、各々のストライプを櫛歯として櫛形状に端部が連結され、当該櫛形状のソース上層配線およびドレン上層配線が、互いの櫛歯が噛み合って対向するように配置されることを特徴としている。

【0035】

これによれば、ソース上層配線およびドレン上層配線のストライプ端部が櫛形状に連結されるため、下層配線と上層配線の二層の配線を用いて、交互に配列されたソースセル同士およびドレンセル同士をそれぞれ電気的に接続することができる。

【0036】

請求項10に記載の発明は、前記ソース上層配線とドレイン上層配線が、はんだバンプを形成するためのパッド部を有することを特徴としている。

【0037】

下層配線と上層配線の二層配線でソースセルおよびドレインセルがそれぞれ接続された半導体装置においては、上層配線に、はんだバンプを形成するためのパッド部を設けることができる。これにより、当該半導体装置をCSP化することができる。

【0038】

請求項11に記載の発明は、前記上下二層の配線上に第3層の配線が形成され、当該第3層の配線は、前記ソース上層配線に接続するソース第3層配線と、前記ドレイン上層配線に接続するドレイン第3層配線とからなり、当該ソース第3層配線とドレイン第3層配線は、各々、はんだバンプを形成するためのパッド部を有することを特徴としている。

【0039】

これによれば、第3層の配線を設けることによって、接続されていないソース上層配線同士およびドレイン上層配線同士を接続して、ソースセル同士およびドレインセル同士を電気的にそれぞれ接続することができる。また、第3層の配線は、配線幅の制約が少なく、ソースセルおよびドレインセルの形成された前記メッシュパターン上に広い面積で形成できる。このため、はんだバンプを形成するためのパッド部をメッシュパターン上の任意の位置に設けて、当該半導体装置をCSP化することができる。

【0040】**【発明の実施の形態】**

以下、本発明の実施の形態を、図に基づいて説明する。

【0041】**(第1の実施形態)**

図1～3は、本発明の第1の実施形態における半導体装置200の模式図である。図1は、本実施形態の半導体装置200におけるセル構成と、各セルへの下

層配線のコンタクトを示す平面図である。図2は、本実施形態の半導体装置200における下層配線を示す平面図である。図3は、本実施形態の半導体装置200における上層配線と、下層配線へのコンタクトを示す平面図である。尚、図1～3においては、図9(a)に示す半導体装置100と同様の部分については同一の符号を付け、その説明は省略する。

【0042】

図1に示すように、本実施形態の半導体装置200では、半導体基板の正面が正方形のメッシュパターンに区切られ、メッシュパターンを構成する各セルに、横型MOSトランジスタのソースもしくはドレインが形成されている。図では、下層配線との大きなコンタクト21s(斜線部)を有するセルがソースセル20s, 20s'であり、下層配線との小さなコンタクト21d(斜線部)を有するセルがドレインセル20dである。尚、図1に示すソースセル20s, 20s'とドレインセル20dの断面構造は、図9(b)のLD MOS101で示した断面構造と同様である。

【0043】

図1に示す本実施形態の半導体装置200においては、メッシュパターンの外周部にソースセル20s'が配置され、本半導体装置200の主要部であるメッシュパターンの内部にソースセル20sとドレインセル20dが交互に配置されている。メッシュパターンの外周部までソースセル20sとドレインセル20dを交互に配置してもよいが、外周部に低電位で安定的に使用されるソースセル20s'を配置することで、半導体装置200を安定的に動作させることができる。例えば、半導体装置200の周囲をトレンチで絶縁しても、トレンチに沿ってドレイン-ソース間電圧による高電界が印加されることがない。従って、トレンチ端の電位を安定させ、トレンチの結晶欠陥からのリークや絶縁破壊を防止することができる。

【0044】

図2に、図1に重ねて、本実施形態の半導体装置200の下層配線を実線で示す。図2においては、図1で示した各セルとコンタクトは点線で示されている。

【0045】

図2に示す下層配線は、メッシュの対角方向に隣り合ったソースセル20s, 20s' 同士を接続するストライプ状のソース下層配線1と、同様に隣り合ったドレインセル20d同士を接続するストライプ状のドレイン下層配線2とからなり、これらが交互に配列されている。

【0046】

図3に、図2の下層配線に重ねて、本実施形態の半導体装置200の上層配線および下層配線へのコンタクト（斜線部）を実線で示す。図3においては、図2の下層配線は点線で示されている。

【0047】

図3に示す上層配線3, 4は、各下層配線1, 2と投影面で直交するように配置されている。上層配線3, 4は、ビアホール30（斜線部）を介してソース下層配線1に接続するソース上層配線3と、ビアホール40（斜線部）を介してドレイン下層配線2に接続するドレイン上層配線4とからなる。ソース上層配線3とドレイン上層配線4は、各々、ストライプ状で、ソース上層配線3とドレイン上層配線4のストライプ幅が、各々、ソース下層配線1とドレイン下層配線2のストライプ幅より広く形成され、これらが交互に配置されている。また、図3のソース上層配線3およびドレイン上層配線4においては、各々のストライプを櫛歯として端部が連結部3r, 4rによって櫛形状に連結され、互いの櫛歯が噛み合って対向するように配置されている。このストライプ状のソース上層配線3およびドレイン上層配線4の端部の連結により、下層配線1, 2と上層配線3, 4の二層の配線を用いて、図1の交互に配列されたドレインセル20d同士およびソースセル20s同士が、それぞれ電気的に接続される。

【0048】

図1～3に示した本実施形態の半導体装置200においては、図1に示す交互に配置されたソースセル20sとドレインセル20dに対して、図2に示すストライプ状のソース下層配線1とドレイン下層配線2が交互に配置される。これによって、メッシュの対角方向に隣り合った同じセル同士が接続される。また、下層配線1, 2より幅広に形成された図3に示すストライプ状のソース上層配線3とドレイン上層配線4が、下層配線1, 2と投影面で直交するように交互に配置

さて、ビアホール30, 40を介して下層配線1, 2に接続する。

【0049】

このように配置された下層配線1, 2と上層配線3, 4では、投影面における下層配線1, 2と上層配線3, 4の交点が、図3に示すように、交互に均等に出現在する。従って、ここに下層配線1, 2と上層配線3, 4のビアホール30, 40を配置することにより、幅の狭い下層配線1, 2の電流経路を短くすることができ、下層配線1, 2の配線抵抗の影響を低減することができる。これによって、各セル20s、20dに流れる電流をバランスさせ、全体としての耐量が減少することのない半導体装置200とすることができます。

【0050】

また、図1～3に示した半導体装置200においては、下層配線1, 2と上層配線3, 4の二層配線で、図1に示すソースセル20sおよびドレインセル20dがそれぞれ電気的に接続されている。このため、図3に示す櫛形状のソース上層配線3とドレイン上層配線4において、ストライプ状のソース上層配線3およびドレイン上層配線4の端部の連結部3r, 4rを所定の面積に形成し、はんだバンプを形成するためのパッド部とすることができます。このように形成したパッド部にはんだバンプを形成し、セラミック基板やプリント基板へ搭載することで、本実施形態の半導体装置200をCSP化して、実装エリアを低減することができる。

【0051】

本実施形態の半導体装置200をCSP化するにあたっては、上層配線3, 4の上に3層目の配線を形成して、CSP化することもできる。この例を、図4, 5に示す。図4, 5においては、図3の上層配線は点線で示されている。

【0052】

図4, 5に示す半導体装置201, 202の第3層の配線は、ソース上層配線3に接続するソース第3層配線8s, 8tと、ドレイン上層配線4に接続するドレイン第3層配線9s, 9tとからなる。図4の半導体装置201においては、ソース第3層配線8sとドレイン第3層配線9sは、半導体装置201を、ほぼ4分割した形で、長方形状に形成されている。また、図5の半導体装置202に

においては、ソース第3層配線8tとドレイン第3層配線9tは、半導体装置201を、ストライプ状の上層配線3, 4の対角方向と交わる対角方向にほぼ2分割した形で、三角形状に形成されている。尚、図4, 5において、ソース第3層配線8s, 8tとソース上層配線3を接続するビアホール、およびドレイン第3層配線9s, 9tとドレイン上層配線4を接続するビアホールは、投影面において交わる任意の位置に形成できるが、簡単化のために図示は省略されている。また、ソース上層配線3とドレイン上層配線4は広い幅で形成できるため、図9(a)で示した下層配線1, 2における、上層配線3, 4とのコンタクトから離れることによる配線抵抗の影響はほとんど起きない。

【0053】

ソース第3層配線8s, 8tとドレイン第3層配線9s, 9tは、配線幅の制約が少なく、図のように広い面積で形成できる。このため、ソース第3層配線8s, 8tとドレイン第3層配線9s, 9tの任意の位置を、はんだバンプを形成するためのパッド部とすることができます、これによって半導体装置201, 202をCSP化することができる。

【0054】

また図3の半導体装置200は、ストライプ状のソース上層配線3およびドレイン上層配線4が連結部3r, 4rによって連結されている。しかしながら、第3層の配線を用いる図4, 5の半導体装置201, 202においては、連結部3r, 4rを形成せず、ソース第3層配線8s, 8tとドレイン第3層配線9s, 9tを用いて、ソース上層配線同士およびドレイン上層配線同士を接続することができる。これによって、ストライプのみで連結されていないソース上層配線およびドレイン上層配線をもつ半導体装置においても、図1に示すソースセル20s同士およびドレインセル20d同士を、それぞれ電気的に接続することができる。

【0055】

(第2の実施形態)

第1実施形態の半導体装置は、ストライプ状のソース下層配線とドレイン下層配線が交互に配置されてなる半導体装置であった。第2の実施形態は、2個のド

レインセル同士を接続するドレイン下層配線と、それを取り囲んで配置されるソース下層配線からなる半導体装置に関する。以下、本実施形態について図に基づいて説明する。

【0056】

図6、7は、本発明の第2の実施形態における半導体装置300の模式図である。図6は、本実施形態の半導体装置300における下層配線を示す平面図である。図7は、本実施形態の半導体装置300における上層配線と、下層配線へのコンタクトを示す平面図である。尚、本実施形態の半導体装置300におけるセル構成と各セルへの下層配線のコンタクトは、第1実施形態の半導体装置200における図1の平面図と同じである。また、図6、7においては、図1～3に示す半導体装置200と同様の部分については同一の符号を付け、その説明は省略する。

【0057】

図6に、図1に重ねて、本実施形態の半導体装置300の下層配線を実線で示す。図6においては、図1で示した各セルとコンタクトは点線で示されている。

【0058】

図6に示す下層配線は、メッシュの対角方向に隣り合ったドレインセル20d同士を接続するドレイン下層配線2'，2'，と、ドレイン下層配線2'，2'，を取り囲んで、ソースセル20s同士を接続するソース下層配線1' とからなっている。尚、図6においては、メッシュパターンの内部における交互に配置されたソースセル20sおよびドレインセル20dと、外周部におけるソースセル20s'の配置に合わせて、ドレイン下層配線2'，2'，が、2つに分類されている。第1ドレイン下層配線2'は、外周部のソースセル20s'には隣接しない、内部のメッシュパターンの対角方向に隣り合った2個のドレインセル同士を接続する下層配線である。また、第2ドレイン下層配線2'，は、外周部のソースセル20s'に隣接するドレインセルを含んで、メッシュパターンの対角方向に隣り合った2乃至4個のドレインセル同士を接続する下層配線である。

【0059】

図7に、図6の下層配線に重ねて、本実施形態の半導体装置300の上層配線

および下層配線へのコンタクト（斜線部）を実線で示す。図7においては、図6の下層配線は点線で示されている。

【0060】

図7に示す上層配線3'，4'は、凹凸を設けて形成されているが、基本的には、図3におけるストライプ状で交互に配置された上層配線3，4と同様である。ドレイン上層配線4'は、ビアホール40'（斜線部）を介してドレイン下層配線2'，2''に接続し、ソース上層配線3'は、ビアホール30'（斜線部）を介してソース下層配線1'に接続する。ドレイン上層配線4'とソース上層配線3'のストライプ部の幅は、各々、ドレイン下層配線2'の最短幅と隣り合ったドレイン下層配線2'の間におけるソース下層配線1'の最短幅より広く形成されている。また、各々のストライプを櫛歯として、端部が連結部3r'，4r'によって櫛形状に連結されている。これにより、下層配線1'，2'，2''と上層配線3'，4'の二層の配線を用いて、図1のドレインセル20d同士およびソースセル20s，20s'同士が、それぞれ電気的に接続される。

【0061】

図6，7に示した本実施形態の半導体装置300においても、第1実施形態の図1～3に示す半導体装置200と同様にして、幅の狭い下層配線1'，2'，2''の電流経路を短くすることができ、下層配線1'，2'，2''の配線抵抗の影響を低減することができる。これによって、メッシュパターンに交互に配置された各セル20s，20dに流れる電流をバランスさせ、全体としての耐量が減少することのない半導体装置300とすることができる。

【0062】

一方、第1実施形態の半導体装置200では、図2の下層配線1，2の面積を、ドレイン下層配線2とソース下層配線1に均等に割り振っている。これに対して本実施形態の半導体装置300では、図6の下層配線1'，2'，2''の面積をソース下層配線1'に重点割当し、ソース下層配線1'の配線抵抗を低減して、ソース電流を主としてソース下層配線1'に担わせている。一方、ドレインの電流は主として上層配線4'に担わせて、ドレイン下層配線2'，2''は、面積割合を小さくしている。このように、ドレインからソースに流れる電流の分

担を下層配線内および上層配線内で均等にせず、下層配線と上層配線にそれぞれ分担させることで、配線の設計自由度が増し、これによって、全体としての配線抵抗を低減することができる。特に、本発明のLDMOSからなる半導体装置に、他のCMOSトランジスタやバイポーラトランジスタを複合する場合には、下層に用いるアルミニウム（A1）配線の配線幅を微細化する必要があり、下層配線の厚みは例えば0.7μm程度に制約される。一方、上層に用いるアルミニウム（A1）配線の配線幅は粗くできるため、上層配線の厚みは例えば1.3μm程度にできる。従って、このような場合には、図6の下層配線1'，2'，2'，'は配線の微細化と配線抵抗の低減を両立できるため、特に有効である。

【0063】

尚、言うまでもなく、本実施形態の図6，7に示した半導体装置300においても連結部3r'，4r'を所定の面積に形成し、はんだバンプを形成するためのパッド部として半導体装置300をCSP化し、実装エリアを低減することができる。また、図4，5に示す半導体装置201，202と同様にして、上層配線3'，4'の上に3層目の配線を形成して、CSP化することも可能である。

【0064】

図8は、図7の半導体装置300と類似した下層配線を有する半導体装置301の平面図である。

【0065】

図7の半導体装置300の下層配線1'，2'，2'，'は、下層配線1'，2'，2'，'の最短幅に対してコンタクト周りが幅広くなるように、凹凸を設けて形成されている。これに対して図8の半導体装置301の下層配線1'，2'，'，2'，'，'は、コンタクトの大きさに合わせて、ドレイン下層配線2'，'，2'，'，'の最短幅を、隣り合ったドレイン下層配線2'，'，2'，'，'の間におけるソース下層配線1'，'の最短幅より狭くして、凹凸のないように形成されている。

【0066】

図8の半導体装置301においても、ドレインからソースに流れる電流を下層配線と上層配線にそれぞれ分担させることで、配線の設計自由度が増し、これに

よって、全体としての配線抵抗を低減することができる。また、図8の半導体装置301においてはコンタクトの大きさに合わせた滑らかな電流経路にすることができる、これによって、さらに下層配線の配線抵抗を低減することができる。

【0067】

(他の実施形態)

上記の各実施形態においては、図1に示す、メッシュパターンの外周部にソースセルを配置し、メッシュパターンの内部にソースセルとドレインセルを交互に配置した半導体装置の例を示した。これに限らず、第1の実施形態で説明したように、外周部にソースセルを配置せず、メッシュパターンの外周部まで、ソースセルとドレインセルを交互に配置した半導体装置であってもよい。また、メッシュパターンの外周部にドレインセルを配置し、メッシュパターンの内部にソースセルとドレインセルを交互に配置した半導体装置であってもよい。この場合には図9 (b) の断面図からわかるように、半導体装置の周囲に絶縁のためのトレンチを形成しても、断面構造において、リーク要因となるトレンチによるPN接合の切断部が生じない。より詳しく説明すると、図9 (b)において、ソース領域の左側とドレイン領域の右側にトレンチがあると仮定する。この場合、ソース領域の左側のトレンチでは、n型の半導体層10とp型のチャネル拡散領域11の界面のPN接合が、トレンチ端に当接する。一方、ドレイン領域の右側のトレンチでは、n型の半導体層10とn型のウェル領域16の界面がPN接合ではないため、トレンチ端にPN接合が当接することはない。従って、メッシュパターンの外周部にドレインセルを配置することで、外周部に配置したドレインセルの外側ではPN接合が存在せず、トレンチによるPN接合の切断に起因したリークや絶縁破壊を防止することができる。尚、外周部にドレインセルを配置し、内部にソースセルとドレインセルを交互に配置した半導体装置の場合には、上記の各実施形態において、下層配線および上層配線におけるソースとドレインの対応関係が全て逆転するのは言うまでもない。

【図面の簡単な説明】

【図1】

第1実施形態の半導体装置におけるセル構成と、各セルへの下層配線のコンタ

クトを示す平面図である。

【図2】

第1実施形態の半導体装置における下層配線を示す平面図である。

【図3】

第1実施形態の半導体装置における上層配線と、下層配線へのコンタクトを示す平面図である。

【図4】

第1実施形態の半導体装置において、3層目の配線を形成してCSP化した例を示す図である。

【図5】

第1実施形態の半導体装置において、3層目の配線を形成してCSP化した例を示す図である。

【図6】

第2実施形態の半導体装置における下層配線を示す平面図である。

【図7】

第2実施形態の半導体装置における上層配線と、下層配線へのコンタクトを示す平面図である。

【図8】

第2実施形態の半導体装置における他の下層配線を示す平面図である。

【図9】

(a) は、従来の半導体装置の平面概念図であり、(b) は、従来の半導体装置を構成している一般的なLDMOSの拡大断面図である。

【符号の説明】

100, 200, 201, 202, 300, 301 半導体装置

101 LDMOS

20s, 20s' ソースセル

20d ドレインセル

1, 1', 1'', ソース下層配線

2, 2', 2'', 2''', 2'''', ドレイン下層配線

3, 3' ソース上層配線

4, 4' ドレイン上層配線

3r, 3r', 4r, 4r' 連結部

30, 30', 40, 40' ビアホール

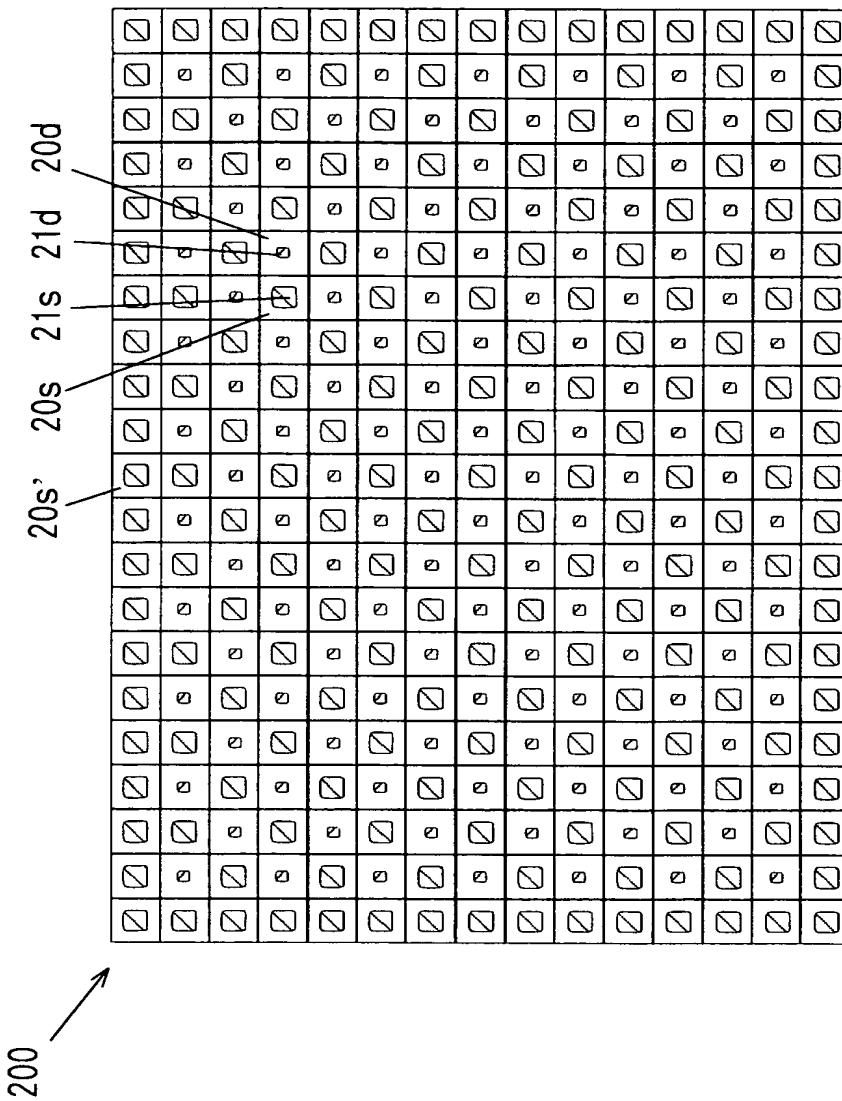
8s, 8t ソース第3層配線

9s, 9t ドレイン第3層配線

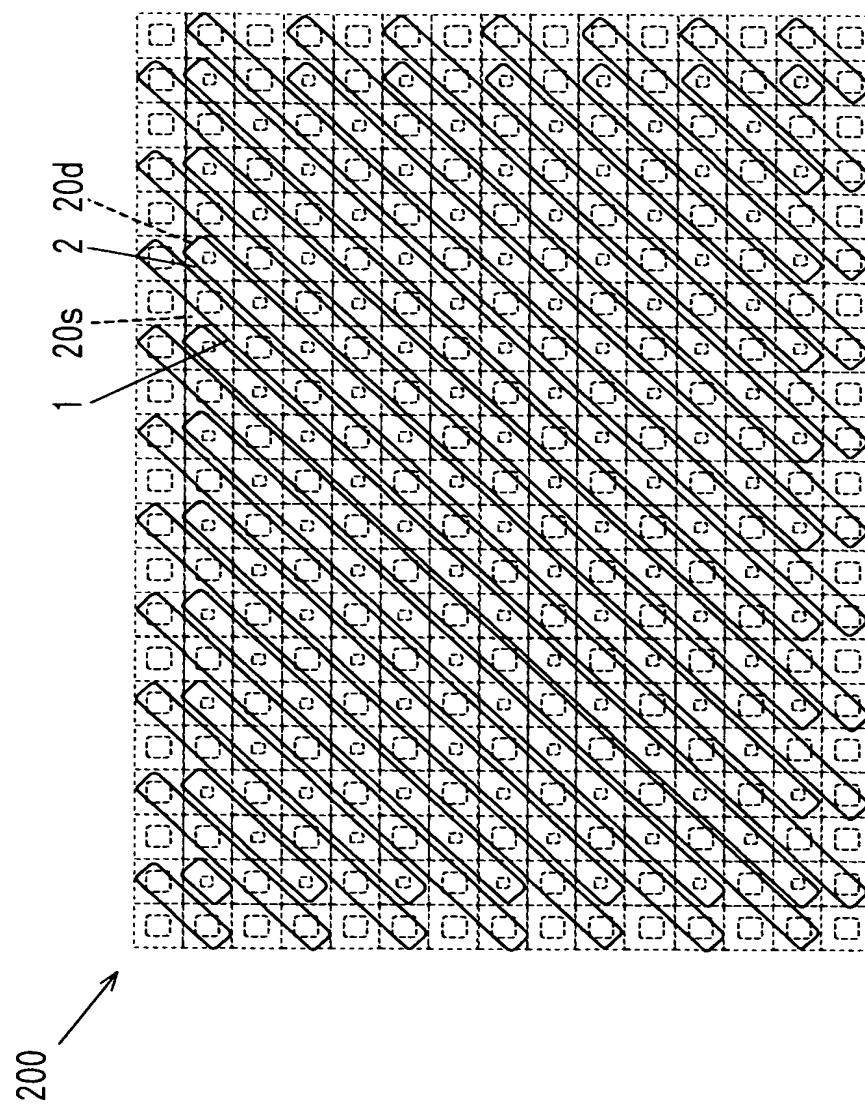
【書類名】

図面

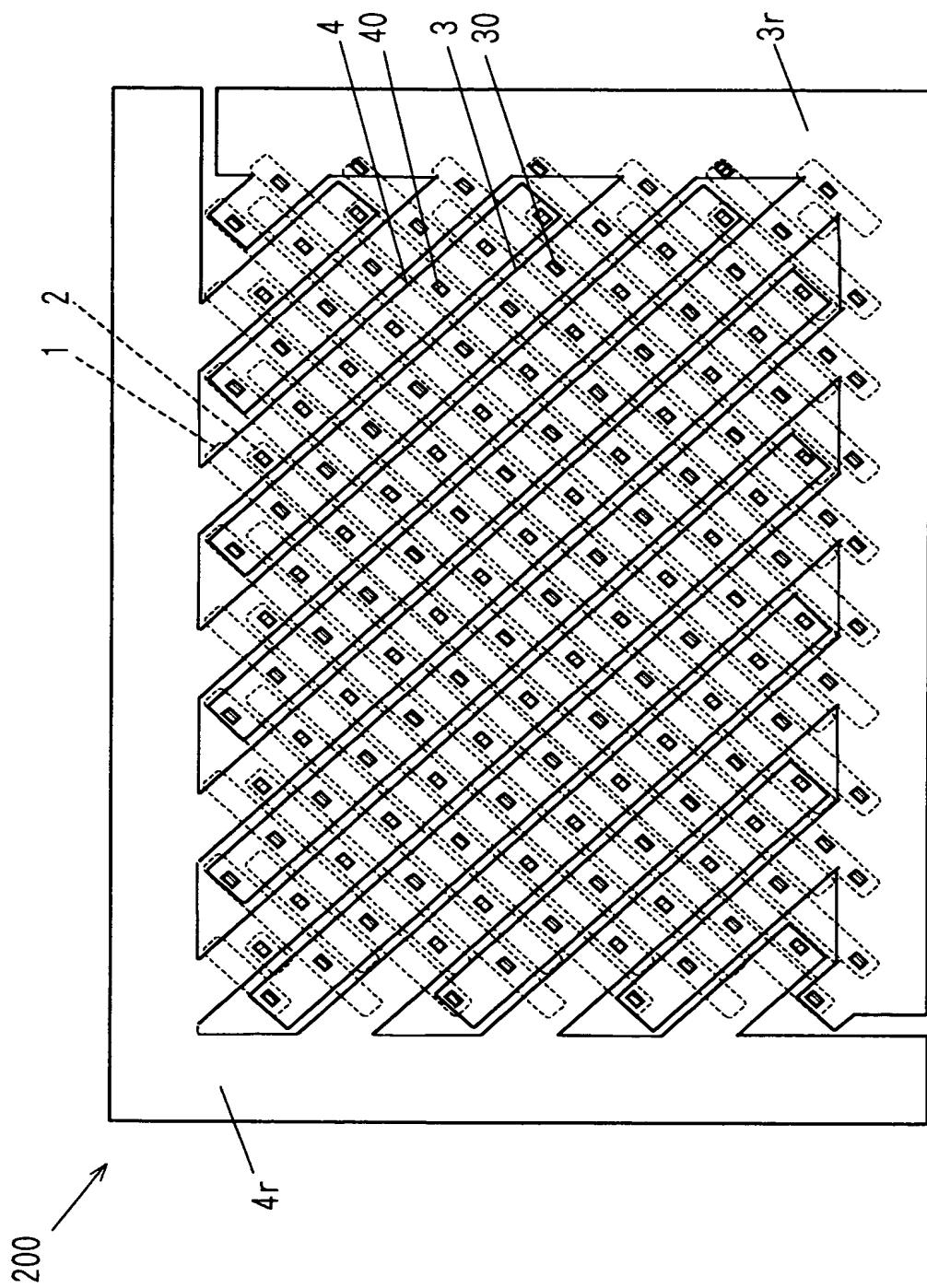
【図 1】



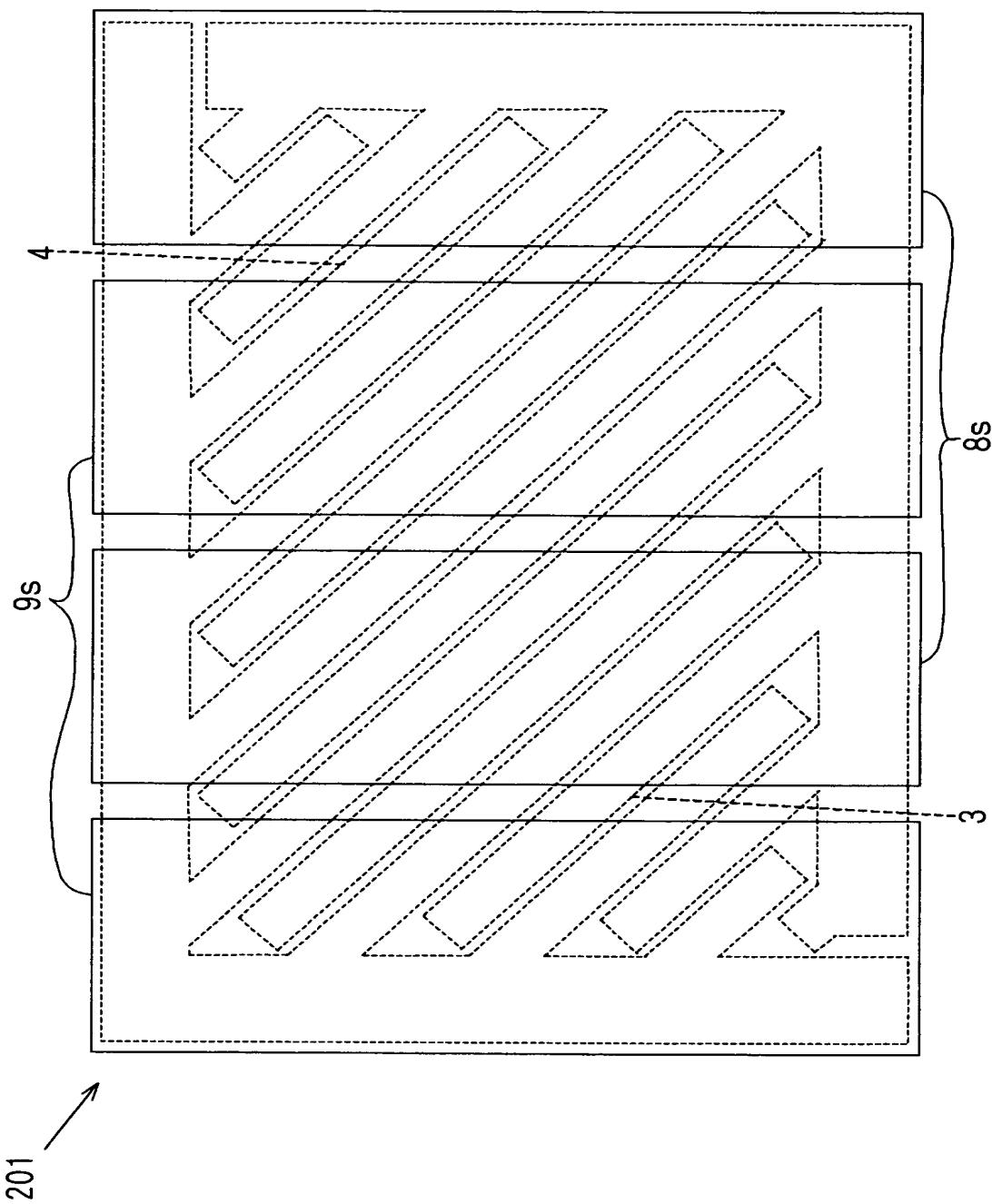
【図2】



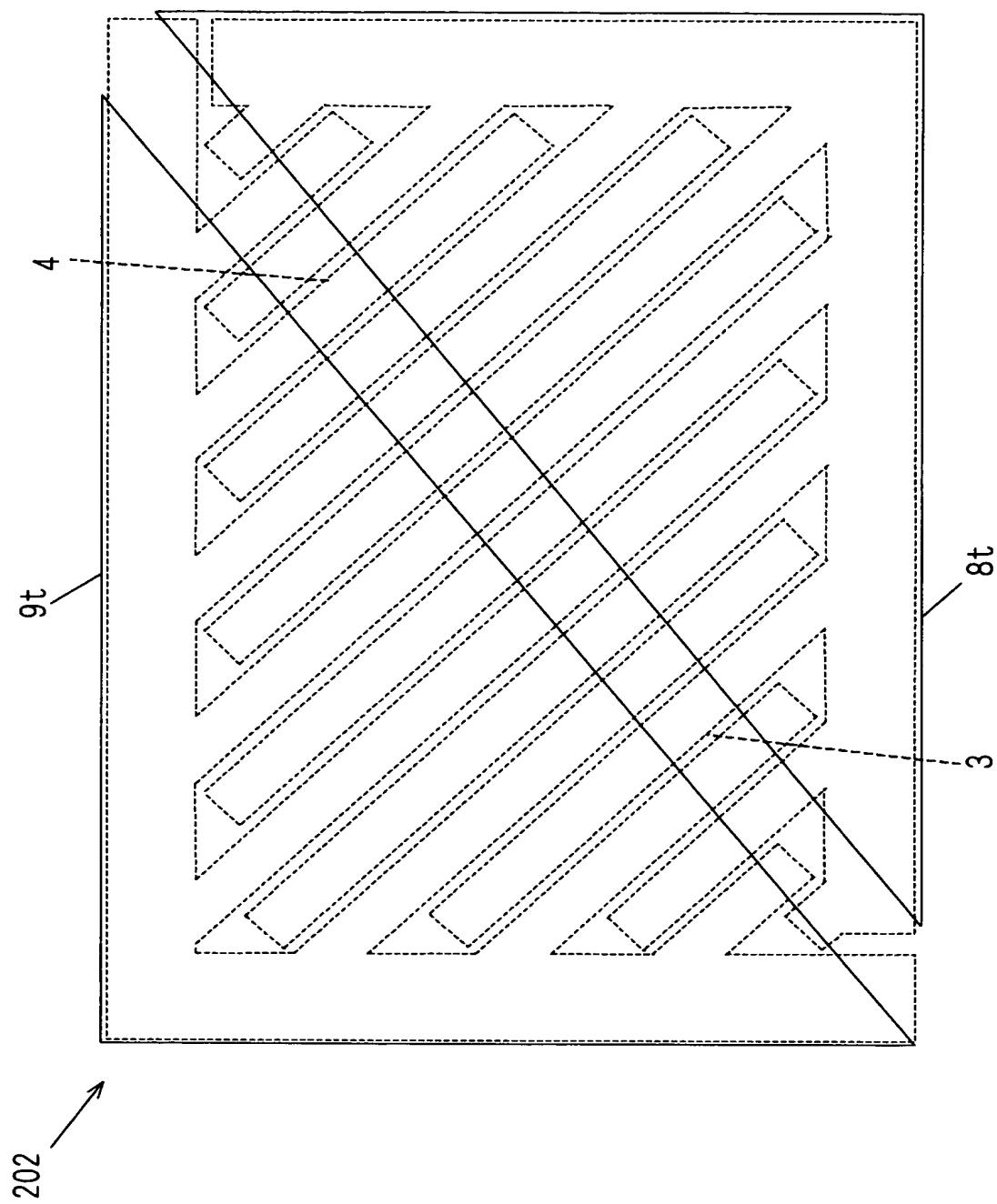
【図3】



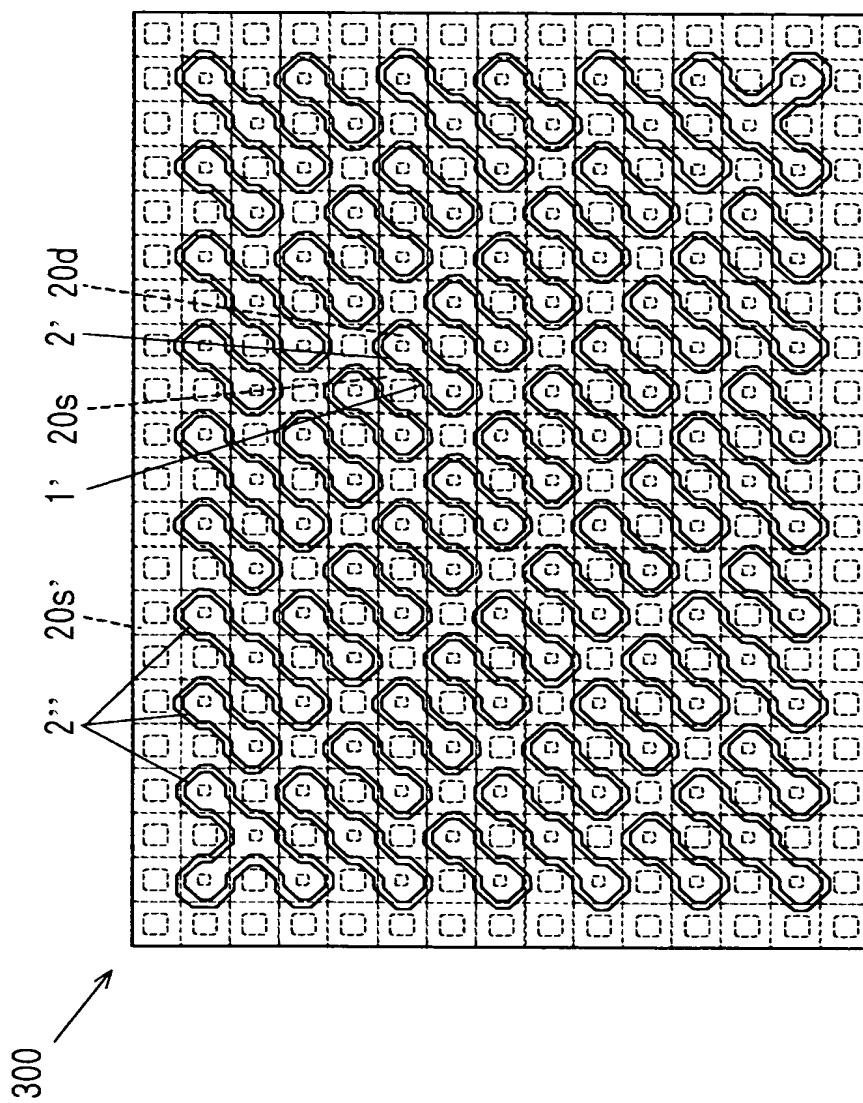
【図4】



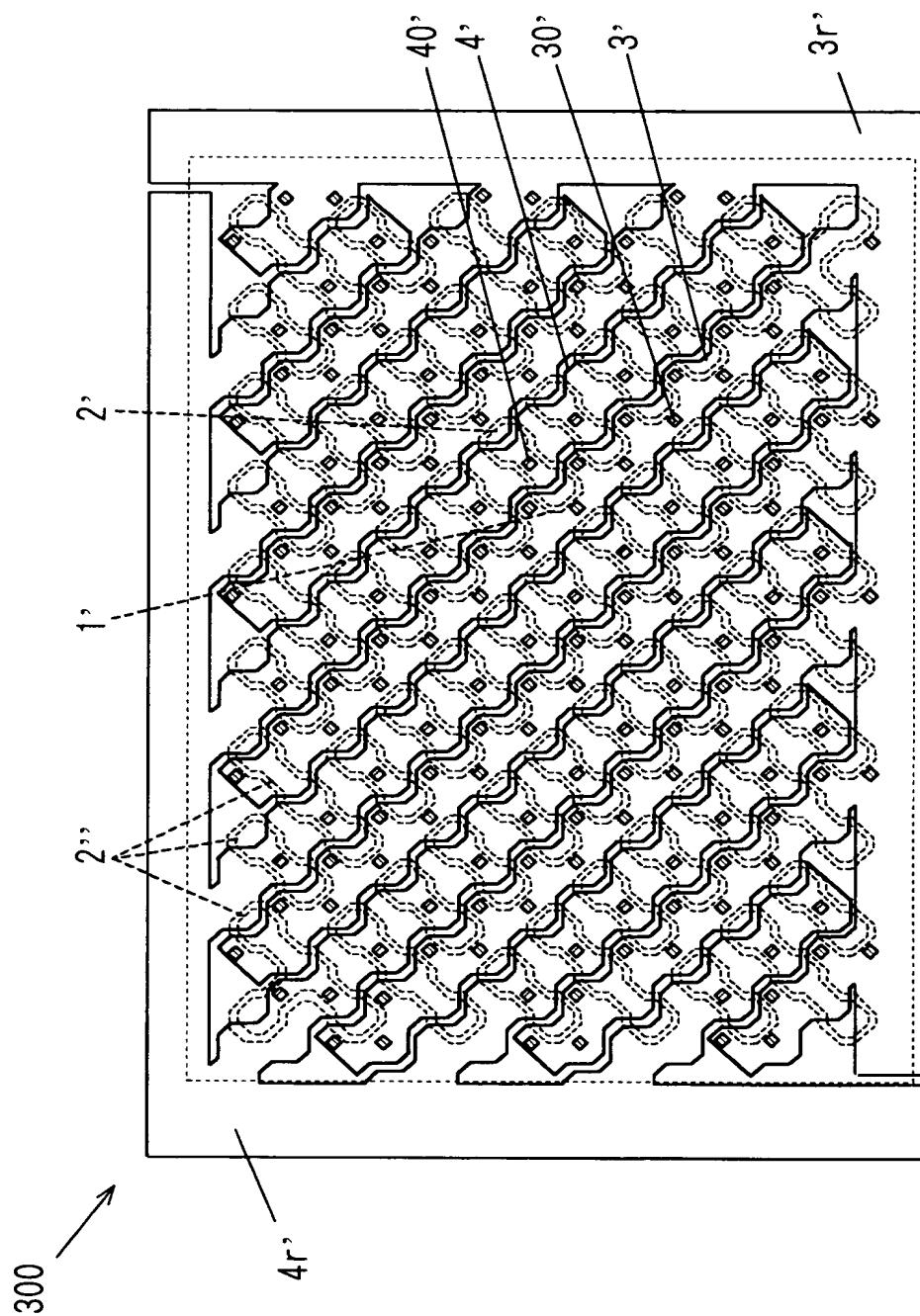
【図 5】



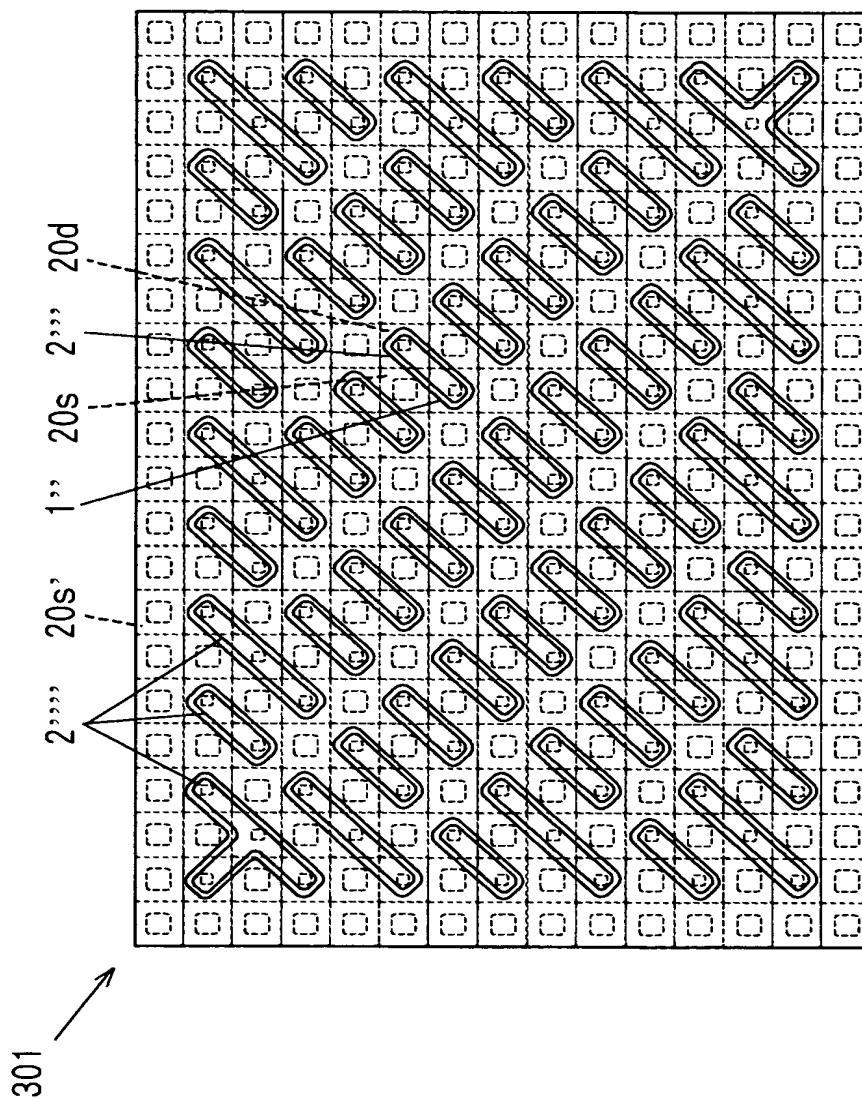
【図6】



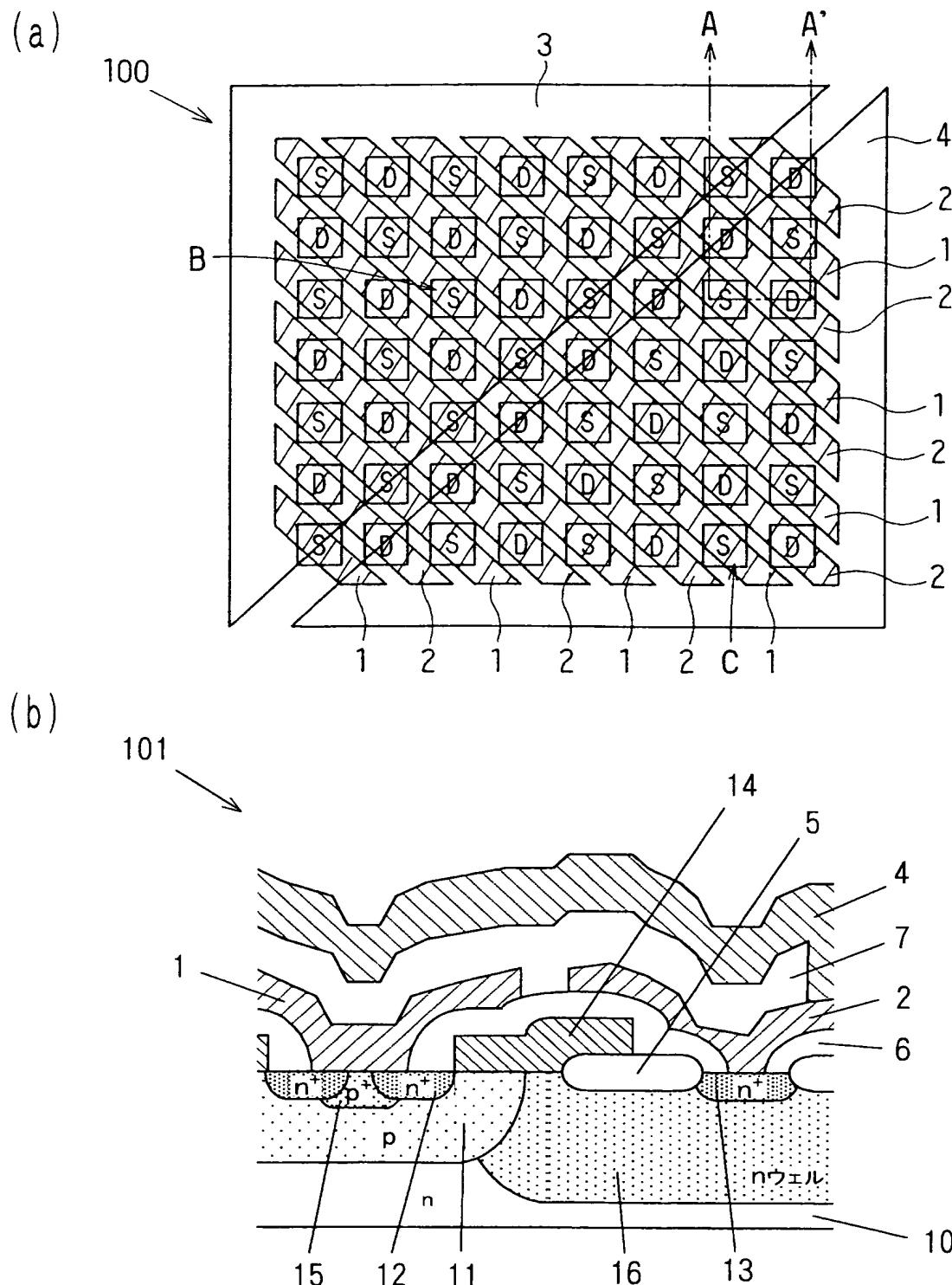
【図 7】



【図 8】



【図9】



【書類名】 要約書

【要約】

【課題】 ソースセルとドレインセルがメッシュパターンに交互に配置され、上下二層の配線を備える半導体装置において、各セルに流れる電流をバランスさせ、全体としての耐量が減少することのない半導体装置を提供する。

【解決手段】 下層配線1，2は、メッシュパターンの対角方向に隣り合ったソースセル20s同士およびドレインセル20d同士を接続するストライプ状のソース下層配線1およびドレイン下層配線2からなり、上層配線3，4は、下層配線1，2と投影面で交わるように配置され、ビアホールを介してソース下層配線およびドレイン下層配線に接続するストライプ状のソース上層配線3およびドレイン上層配線4からなり、ソース上層配線3とドレイン上層配線4のストライプ幅が、各々、ソース下層配線1とドレイン下層配線2のストライプ幅より広く形成され、ソース上層配線3とドレイン上層配線4とが交互に配置される。

【選択図】 図3

特願 2002-316448

出願人履歴情報

識別番号 [00004260]

1. 変更年月日 1996年10月 8日
[変更理由] 名称変更
住 所 愛知県刈谷市昭和町1丁目1番地
氏 名 株式会社デンソー